

(19) 日本国特許庁 (J P)

(12) 公表特許公報 (A)

(11) 特許出願公表番号

特表2002-514375

(P2002-514375A)

(43) 公表日 平成14年5月14日 (2002.5.14)

(51) Int.Cl.⁷

識別記号

F I

テーマコード (参考)

H 0 4 N 5/335

H 0 4 N 5/335

F

5/232

5/232

Z

P

審査請求 未請求 予備審査請求 有 (全 42 頁)

(21) 出願番号 特願平11-505008
(86) (22) 出願日 平成10年6月23日 (1998.6.23)
(85) 翻訳文提出日 平成11年12月24日 (1999.12.24)
(86) 国際出願番号 P C T / U S 9 8 / 1 3 0 8 2
(87) 国際公開番号 W O 9 8 / 5 9 4 9 0
(87) 国際公開日 平成10年12月30日 (1998.12.30)
(31) 優先権主張番号 6 0 / 0 5 0 , 5 9 7
(32) 優先日 平成9年6月24日 (1997.6.24)
(33) 優先権主張国 米国 (U S)
(31) 優先権主張番号 0 9 / 0 8 7 , 5 9 2
(32) 優先日 平成10年5月29日 (1998.5.29)
(33) 優先権主張国 米国 (U S)

(71) 出願人 コグネクス コーポレイション
アメリカ合衆国 01760 マサチューセツ、
ネイティック、ワン ビジョン ドライブ
(72) 発明者 キング、デイビット アール、
アメリカ合衆国 02056 マサチューセツ、
ノーフォーク、メイプル ストリート 22
(74) 代理人 弁理士 倉内 基弘 (外1名)

最終頁に続く

(54) 【発明の名称】 独立した集積及び読出を用いる電荷結合素子イメージ取得のための方法及び装置

(57) 【要約】

イメージ取得のための方法及び装置は、光電性領域を有する電荷結合素子を利用し、電荷結合素子は、収集サイトに蓄積された電荷を対応する読出サイトに転送することにより、加えられた転送信号に応答する。非光電性領域は、読出サイト上の電荷を（例えば、ホストカメラ、又はイメージ取得システムに）出力することにより、転送信号と独立に加えられた読取信号に応答する。本発明による方法及び装置は、読出信号が加えられるまではイメージ情報を保持するために使用し、それによってホストコンピュータのリソースを節約することにより、非光電性サイトの本来の蓄積能力を利用する。

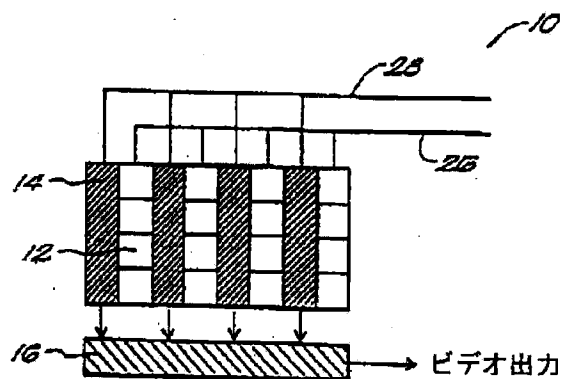


FIG. 1A

(2)

【特許請求の範囲】

1. A. 1つまたは複数の光電性の電荷収集サイトを有する光電性領域であって、電荷収集サイトに蓄積された電荷に対応する非光電性読出サイトに移動させるための適用された転送信号に応答する光電性領域、対応する電荷収集サイトに直接的または間接的に結合されている1つまたは複数の非光電性の読出サイトを有する非光電性領域であって、転送信号とは独立に適用された読出サイトから電荷を出力させるための読取信号に応答する非光電性領域を含む電荷結合素子、
B. 電荷結合素子に結合され、読出サイトからの電荷出力に基づいてイメージ信号を発生するヘッドユニット、
から成ることを特徴とするイメージ取得装置。
2. A. イメージを取得するために信号を発生し、ヘッドユニットに適用することにより、ホストからの要求に応答する制御ユニット、
B. (i) 電荷収集サイトに蓄積された電荷に対応する読出サイトに移動させるための転送信号と、(ii) 電荷が読出サイトから出力されることを引き起こす読取信号、を電荷結合素子に適用するために、制御ユニットにより適用された信号に応答するヘッドユニット、
を備える、請求項1に記載のイメージ取得装置。
3. 制御ユニットが、(i) 少なくとも電荷結合素子による電荷集積の持続時間を規定するシャッタパルスと、(ii) 読出サイトからの電荷の出力を引き起こす読出信号、の少なくとも1つを発生し、ヘッドユニットに適用する、請求項1に記載のイメージ取得装置。
4. ヘッドユニットが、電荷収集サイトの電荷を消去するためのリセット信号を電荷結合素子に適用するためと、それらのサイトに蓄積された電荷を読出サイトに転送するための転送信号を電荷結合素子に適用するためのシャッタパルスに応答する、請求項3に記載のイメージ取得装置。
5. シャッタパルスにより規定されたものと一致する持続期間を有する集積期間を生ずるように、ヘッドユニットが、リセット信号の適用に引き続いて電荷結合素子に転送信号を適用する、請求項4に記載のイメージ取得装置。

(3)

6. 制御ユニットが、ヘッドユニットから受信するイメージ信号を調節するビデオ経路を含む、請求項 2 に記載のイメージ取得装置。

7. ビデオ経路が、(i) ヘッドユニットから受信するイメージ信号のゲインを調節するか、(i i) そのイメージ信号の振幅を増幅する、ゲイン調節素子を含む、請求項 6 に記載のイメージ取得装置。

8. ビデオ経路が、ヘッドユニットから受信するイメージ信号の残留のオフセットを除去するレベル補正素子を含む、請求項 6 に記載のイメージ取得装置。

9. A. (i) 少なくとも電荷結合素子による電荷集積の持続時間を規定するシャッタパルスと、(i i) 読出サイトからの電荷の出力を引き起こす読出信号、を発生し、ヘッドユニットに適用することによりホストからの要求に応答する制御ユニット、

B. 電荷収集サイトの電荷を消去するためのリセット信号を電荷結合素子に適用するためと、それらのサイトに蓄積された電荷を読出サイトに転送することを引き起こすための転送信号を電荷結合素子に適用するためのシャッタパルスに応答する、ヘッドユニット、

C. 読出サイトで電荷の出力を引き起こすために読取信号を電荷結合素子に適用するため、制御ユニットにより適用された読出信号に応答するヘッドユニット、

D. 読出サイトからの電荷出力からヘッドユニットによって発生されるイメージ信号を調節するビデオ経路を含む制御ユニット、

を備える請求項 1 に記載のイメージ取得装置。

10. ビデオ経路が、

i) (a) ヘッドユニットから受信するイメージ信号のゲインを調節するか、(b) イメージ信号の振幅を増幅する、ゲイン調節素子と、

i i) ヘッドユニットから受信するイメージ信号の残留のオフセットを除去するレベル補正素子、

を含む、請求項 9 に記載のイメージ取得装置。

11. A. 各々電荷結合素子を含み、それぞれの電荷結合素子の読出サイトからの電荷出力から、各々イメージ信号を発生する複数のヘッドユニット、

B. 1 つまたは複数の光電性の電荷収集サイトを有する光電性領域であって、電

(4)

荷収集サイトに蓄積された電荷に対応する非光電性読出サイトに移動させるための適用された転送信号に応答する光電性領域、対応する電荷収集サイトに結合されている1つまたは複数の非光電性の読出サイトを有する非光電性領域であって、転送信号とは独立に適用された読出サイトから電荷を出力させるための読取信号に応答する非光電性領域を含む、各電荷結合素子、

C. 複数のヘッドユニットに結合され、イメージを取得するために信号を、選択的に、発生し、各ヘッドユニットに適用する制御ユニット、から成ることを特徴とするイメージ取得装置。

12. 制御ユニットが、(i) 少なくともそれぞれの電荷結合素子による電荷集積の持続時間を規定するシャッタパルスと、(ii) それぞれの読出サイトからの電荷の出力を引き起こす読出信号、の少なくとも1つを発生し、各ヘッドユニットに適用する、請求項11に記載のイメージ取得装置。

13. 各ヘッドユニットが、電荷収集サイトの電荷を消去するためのリセット信号をそれぞれの電荷結合素子に適用するためと、それらのサイトに蓄積された電荷を読出サイトに転送することを引き起こすための転送信号をそれぞれの電荷結合素子に適用するためのシャッタパルスに응答する、請求項12に記載のイメージ取得装置。

14. 制御ユニットによりヘッドユニットに適用されたシャッタパルスにより規定されたものと一致する持続時間を有する集積期間を生ずるように、各ヘッドユニットが、その電荷結合素子へのリセット信号の適用に引き続いてそれぞれの電荷結合素子に転送信号を適用する、請求項13に記載のイメージ取得装置。

15. 制御ユニットが、ヘッドユニットにより発生されるイメージ信号を調節するビデオ経路を含む、請求項11に記載のイメージ取得装置。

16. ビデオ経路が、

- i) (a) ヘッドユニットから受信したイメージ信号のゲインを調節するか、
- (b) イメージ信号の振幅を増幅する、ゲイン調節素子と、

ii) ヘッドユニットから受信したイメージ信号の残留のオフセットを除去するレベル補正素子、

を含む、請求項15に記載のイメージ取得装置。

(5)

17. 制御ユニットが、シャッタパルス信号を実質的に同時に複数のヘッドユニットに適用する操作の同期モードと、シャッタパルス信号を実質的に異なったそれぞれの時間に複数のヘッドユニットに適用する操作の非同期モードを持つ、請求項11に記載のイメージ取得装置。

18. 制御ユニットが、複数のヘッドユニットに実質的に異なったそれぞれの時間に読出信号を適用する、請求項17に記載のイメージ取得装置。

19. 制御ユニットが、ヘッドユニットに、ホストから受信した1つまたは複数の要求に一致してシャッタパルス及び読出信号を適用する、請求項17または18に記載のイメージ取得装置。

20. i. 1つまたは複数の光電性電荷収集サイトを有する光電性領域、

ii. 対応する光電性電荷収集サイトに結合した1つまたは複数の非光電性読出サイトを有する非光電性領域、

を有する型の電荷結合素子を使用するイメージ取得の方法であって、

A. 電荷収集サイトに蓄積された電荷を対応する読出サイトに移動するための適用された転送信号に応答すること、

B. 非光電性の読出サイトで電荷を出力することのために、転送信号とは独立に適用される読取信号に応答すること、

の手段から成ることを特徴とする方法。

21. 電荷収集サイトの電荷を消去するための適用されたリセット信号に応答することの手段を含む、請求項20に記載の方法。

22. 読出サイトからの電荷出力に基づいてイメージ信号を発生するためにヘッドユニットを利用することの手段を含む、請求項20に記載の方法。

23. A. イメージを取得するために信号を発生しヘッドユニットに適用するための制御ユニットを利用すること、

B. (i) 電荷収集サイトに蓄積された電荷を対応する読出サイトへ移動するための転送信号と、(ii) 電荷を読出サイトから出力させることを引き起こす読込み信号、を電荷結合素子に適用するために制御ユニットにより適用された信号に、ヘッドユニットと共に、応答すること、

の手段を含む、請求項22に記載の方法。

(6)

24. (i) 少なくとも電荷結合素子による電荷集積の持続時間を規定するシャッタパルスと、(ii) 読出サイトからの電荷の出力を引き起こす読出信号、の少なくとも1つを発生し、ヘッドユニットに適用するために制御ユニットを利用することの手段を含む、請求項23に記載の方法。

25. 電荷収集サイトの電荷を消去するために電荷結合素子にリセット信号を適用するためと、それらのサイトに蓄積した電荷を読出サイトに転送することを引き起こすための転送信号を電荷結合素子に適用するためのシャッタパルスに、ヘッドユニットと共に、応答することの手段を含む、請求項24に記載の方法。

26. シャッタパルスにより規定されたものと一致する持続期間を有する集積期間を生ずるように、リセット信号の適用に引き続いて電荷結合素子に転送信号を適用するためにヘッドユニットを利用することの手段を含む、請求項25に記載の方法。

27. ヘッドユニットにより発生されたイメージ信号を調節するために制御ユニットを利用することの手段を含む、請求項26に記載の方法。

28. 読出サイトからの電荷出力に基づいてイメージ信号を発生するために、各々、それぞれの電荷結合素子に結合された複数のヘッドユニットを利用することの手段を含む、請求項20に記載の方法。

29. イメージを取得するために、選択的に、信号を発生し、各ヘッドユニットに適用するために制御ユニットを利用することの手段を含む、請求項28に記載の方法。

30. (i) 少なくともそれぞれの電荷結合素子による電荷集積の持続時間を規定するシャッタパルスと、(ii) それぞれの読出サイトからの電荷の出力を引き起こす読出信号、の少なくとも1つを発生し、各ヘッドユニットに適用するために制御ユニットを利用することを含む、請求項29に記載の方法。

31. 電荷収集サイトの電荷を消去するためのリセット信号をそれぞれの電荷結合素子に適用するためと、それらのサイトに蓄積された電荷を読出サイトに転送することを引き起こすための転送信号をそれぞれの電荷結合素子に適用するための適用されたシャッタパルスに応答するために各ヘッドユニットを利用することの手段を含む、請求項30に記載の方法。

(7)

32. ヘッドユニットにより発生されたイメージ信号を共通ビデオ経路と共に調節することの手段を含む、請求項30に記載の方法。

33. 複数のヘッドユニットに実質的に同時にシャッタパルスを適用することの手段を含む、請求項30に記載の方法。

34. 実質的に異なったそれぞれの時間に複数のヘッドユニットにシャッタパルスを適用することの手段を含む、請求項30に記載の方法。

35. 実質的に異なったそれぞれの時間に複数のヘッドユニットに読出信号を適用することを含む、請求項33または34に記載の方法。

(8)

【発明の詳細な説明】

独立した集積及び読出を用いる電荷結合素子イメージ取得のための方法及び装置

[本発明の背景]

この出願は、1997年6月24日に出願された暫定的な米国特許出願番号第60/050,597号の優先権を主張し、その教示をここに取り入れ、その写しを付録Aとして添付する。

本発明はイメージ取得に関し、更に詳細には、電荷結合素子を使用するイメージの制御及び読出しに関する。本発明はビデオカメラ、並びに機械視覚、並びに他の生産、研究、及び娯楽で使用する他のイメージ取得素子に応用を有する。

ビデオカメラ、及び他のデジタルイメージ取得素子の製造は、リアルタイム処理のためにイメージを取り込む電荷結合素子(CCD)に依存して増加している。これらの素子は、間隔の狭いアレイ状に並べられた数百又は数千の微細な半導体素子から成る。アレイが光(又は他の放射)にさらされるとき、アレイの各構成要素はアレイに当たる光子の数に比例する電荷を蓄積する。そのようなアレイに光景の焦点を合わせることにより、より高く充電された素子に対応するより明るい領域、及びより低く充電された素子に対応するより暗い領域で電氣的なイメージが形成される。

一般に、CCDアレイ内の素子の2分の1だけが光を集めるために使用される。インターライン(interline)転送CCDと呼ばれる従来技術の設計では、光電性素子の行(又は列)は非光電性素子の行(又は列)と互い違いになる。後者は、電荷を光電性素子から出力バッファ又は読出レジスタに転送するための「コンジット」としての役割を果たす。

典型的なCCDアレイ内のイメージの取得は、多くの局面で発生する。最初に、前に蓄積された全電荷を消去するために、光電性素子は接地又は「リセット」される。一度これが完了すると、レンズからの光(又は他のエネルギー)が蓄積を開始し、イメージを形成する。CCD素子は一般に機械的なシャッタを備えて

いないので、蓄積は各光電性素子内に累積した電荷が対応する非光電性素子に転送されるまで続く。リセットの次及び転送前の時間は、従って、集積又はシャッ

(9)

タ時間と呼ばれる。

従来技術のイメージ取得システム設計によると、集積時間が一度終わると、非光電性素子に転送された電荷が非光電性素子の各行（又は列）を横に（又は下に）読出レジスタまで、即座に早くシフトされる。そこから、電荷はCCDが組み込まれるホスト装置（例えば、ビデオワークステーション）のメモリ内部にロードされる。

他の型の従来技術のCCDアレイ（フルフレームCCD）はインターラインCCDと異なって形成されるが、同様に作動する。光電性及び非光電性素子の交互配置された行を有するよりも、光電性素子はアレイの2分の1上に連続して配置され、後者は他の半分の上に配置される方がよい。集積時間が一度終わると、非光電性の半分上の対応する素子を電荷が占有するまで光電性素子内に蓄積した電荷が隣から隣へシフトされ、読出アレイを経由してホストメモリまで転送される。

どの従来技術のCCD設計が使用されるかに関わらず、従来技術のイメージ取得システム設計は、メモリがホスト装置内で読出レジスタから流れ込むままのイメージデータを受信することに専念することを必要とする。ストリーミングデータがメモリへのルート上で失われないことを保証するために、十分なバンド幅がバス又は他の通信経路上で提供されなければならない。更に、CCD素子は一般に自分自身の内部クロックと一緒に作動するので、ホストは読出レジスタからの非同期転送に適応するように設計しなければならない。

例えば、各垂直帰線消去間隔の後の新しいビデオ情報を常に出力しているので、一般的なビデオ規格（即ち、RS170又はCCIR）の1つに基づくCCDカメラを使用する従来機械視覚システムは、イメージデータがCCDによって出力されときの制御を有さない。他方、電氣的シャッタを使用する応用では、データの読み出しの延期を可能にする機構が存在しないので、ホストは集積時間の終了の次にビデオ情報を直ちに受信する準備をしなければならない。

本発明の目的は、イメージ取得のための改良された方法及び装置を提供することであり、更に詳細には、イメージを取得するために電荷結合素子を使用する改

(10)

良された方法及び装置を提供することである。

本発明の他の目的は、イメージ取得に必要なリソース及び関連するコストを低減させるような方法及び装置を提供することである。

本発明の更に他の目的は、イメージ取得のより高度な制御を可能にするような装置及び方法を提供することである。

本発明の更に他の目的は、（例えば、複数のイメージを同期又は非同期に取得しなければならない）複数のカメラ環境での使用に適応するような方法及び装置を提供することである。

[発明の要約]

前記は本発明により達成される目的に含まれ、本発明は電荷結合素子（CCD）の本来の蓄積能力を利用するイメージ取得のための方法及び装置を提供する。そのような素子の集積及び読出機能を分離することにより、本発明は、イメージ取得装置（例えば、ビデオカメラ）、又はイメージ取得装置が組み込まれるシステム（例えば、機械視覚システム）がイメージ情報の流れを制御する（例えば、イメージ情報を搬送するのに必要なバス及びメモリリソースを減らし、イメージ情報の流れの到着を他の情報又はイメージとタイミングを合わせ、及び／又はイメージ情報の流れの到着を処理リソースの稼働率と調和させる）ことを可能にする。

従って、1つの側面では、本発明は、光電性電荷収集サイトを有する光電性領域、及び非光電性読出サイトを有する非光電性領域を含む電荷結合素子を利用する。読出サイトは直接的に（例えば、インターライン形式で）、又は間接的に（例えば、フレーム転送形式で）電荷収集サイトに接続する。収集サイトに蓄積された電荷を対応する読出サイトに転送することにより、光電性領域が加えられた転送信号に応答する。読出サイト内の電荷を（例えば、ホストカメラ又はイメージ取得システムへ）出力することにより、非光電性領域が転送信号とは独立に加えられた読込信号に応答する。

転送サイクルの開始が読出サイトからのイメージ情報の出力を直接引き起こす従来技術の取得装置とは異なり、本発明による取得装置は転送及び読出機能を独

(11)

立に実行する。従って、転送及び読出信号が実質的に同時に加えることができる（従って、従来技術のシステムをエミュレートする）が、その必要はない。読出信号の適用を遅らせることにより、ホストが読出信号を受信する準備が出来るまで、読出サイト内のイメージ情報を保持することが出来る。

本装置は、更に、イメージ取得のためのヘッドユニット信号を発生し適用することにより（例えば、ホストシステムからの）要求に応答する制御ユニットを含む。CCDからのイメージ情報出力を取得し、制御ユニット及び／又はホストに適用するビデオ信号を発生することにより、ヘッドユニットはこれらの信号に応答する。

本発明に関連する側面が、制御ユニットが発生した信号の取得が少なくともCCDによる電荷集積の継続時間、及び（例えば、ヘッドユニットへ）出力されるCCD読出サイト上に電荷をもたらす読出信号を定めるシャッタパルスを含む、上記のイメージ取得装置を提供する。ヘッドユニットは、電荷収集サイトをクリアするCCDリセット信号を加えることにより、そのようなシャッタパルスに応答することが出来る。ヘッドユニットはその後、転送信号を電荷収集サイトに加えることが出来、電荷収集サイトにそれらの電荷を読出サイトへ転送させる。転送信号の適用は、シャッタパルスにより定められる集積期間に応じて集積期間をもたらすようにタイミングを合わせることが出来る。ヘッドユニットは、電荷を非光電性サイトから読出レジスタ、バッファ、又は他の記憶装置に転送させるCCD読取信号を適用することにより、制御ユニットからの読出信号に応答することが出来る。

本発明の更に他の側面は、複数のヘッドユニットが備えられ、それぞれが各CCDと結合する上記のイメージ取得装置を提供する。ヘッドユニットに実質的に同時にシャッタパルスを加えることにより、その様な装置の制御ユニットはそれらヘッドユニットからの同期イメージ取得をもたらすことが出来る。あるいは、イメージは、シャッタパルスの適用を経て異なる時間に非同期的に取得される。イメージ取得が同期又は非同期でも、制御ユニットは、シャッタパルスの適用と

は独立に読出信号をヘッドユニットに加えることにより、ヘッドユニットからの

(12)

イメージを制御することが出来る。従って、例えば、ホストからの要求に応答して、制御ユニットは、複数のヘッドユニットにより同時に取得されたイメージが如何なる所望する順序でもホストメモリに出力されるようにすることが出来る。

更に他の側面では、本発明は、上記の素子及び装置のイメージ取得並列動作のための方法を提供する。

本発明によるシステムは、従来技術を越える多くの利点を有する。CCD 読出サイトの本来の記憶能力を利用し、それらの集積機能を読出機能から分離することにより、本発明はイメージ取得プロセスのより優れた制御を提供し、イメージ取得プロセスに必要なリソースを低減させる。機械視覚では、例えば、そのようなシステムは、イメージの取得が検査プロセスと部分的に重なることを必要とする用途に非常に都合がよい。ここでは、イメージの検査が、プロセッサのリソース（例えば、メモリ及びバスサイクル）を次のイメージの取得に振り向けることなく完了することが出来る。その代わりに、ホストは制御ユニットに、次のイメージをただ取得し、前のイメージの処理が完了するまでリソースを消費する転送を遅らせるように指示することが出来る。

更に、複数イメージの取得を必要とする応用では、本発明によるシステムは、複数のヘッドユニットの間で、単一のビデオ経路（例えば、増幅器、直流再生回路、アンチエイリアスフィルタ、A/Dコンバータ）を効率的に利用することが出来る。例えば、制御ユニットは、集積パルス信号を複数のヘッドユニットに同時に加えることが出来るが、単一のビデオ経路だけが結果として生じるイメージ信号をホストに転送するように調整することを要求されるように、読出信号をシリアルに加える。これは、各カメラヘッドユニットに対して特別のデータ経路を必要とする従来技術のイメージ取得テクノロジーと対照をなす。

[図面の簡単な説明]

図の参照により、更に完全な理解を得ることが出来る。

図 1 a ~ 1 b は、本発明の実施に使用される型の電荷結合素子（CCD）を示す。

図 2 は、単一のカメラヘッドユニットを有する、本発明によるイメージ取得装

(13)

置を示す。

図 3 は、本発明によるイメージ取得装置で利用されるカメラヘッドユニットを示す。

図 4 は、本発明によるイメージ取得装置で利用されるカメラ制御ユニットを示す。

図 5 は、図 2 に示される型のイメージ取得における信号発生のタイミングを示す。

図 6 は、複数のカメラヘッドユニットを有する、本発明によるイメージ取得装置を示す。

図 7 は、同期的に複数のイメージを取得する、図 6 に示される型のイメージ取得における信号発生のタイミングを示す。

図 8 は、非同期的に複数のイメージを取得する、図 6 に示される型のイメージ取得における信号発生のタイミングを示す。

[図示された実施例の詳細な説明]

図 1 a を参照すると、インライン形式に従って形成された本発明を実施するために使用される型の CCD 10 が示される。CCD 10 は、光電性電荷収集サイト 12 (また、画素又はピクセルと呼ばれる) の列を非光電性 (即ち、保護された) 読出サイト 14 の列と互い違いにする。図示された実施例では、各電荷収集サイトは、対応する (及び、一般には隣接する) 従来技術の非光電性サイトと結合する。

図示された実施例の光電性及び非光電性サイトの間には 1 対 1 の対応があるが、本発明の実施例は他の関係 (例えば、4 つの光電性サイト対 1 つの非光電性等) を利用してもよい。非光電性サイトは、更に、従来の方法で互いに結合し、電荷が読出レジスタ 16 へ出力され、読出レジスタ 16 からイメージ取得システムの他のコンポーネントへ出力されることを可能にする。

図 1 b を参照すると、フレーム転送形式に従って形成された本発明を実施するために使用される型の CCD 18 は、電荷収集サイト 20 及び読出サイト 22 を交互に配置せず、むしろ素子の 2 つの別の部分にそれらを配置する。この実施例

(14)

では、光電性及び非光電性サイトは、以前に収集された電荷が後者に移され、その後読出レジスタ 24 に移されるように、従来の方法（即ち、いくつかの光電性サイトが他の光電性サイトを経由して非光電性サイトに結合される）で互いに結合される。

イメージを発生させるために、CCD 10、18 は 3 つの基本サイクルを利用する。第 1 に、リセットサイクルは、光電性領域から存在している如何なる電荷もクリアするために使用され、効率的にピクセルを黒くする。次のステップ（一般に電荷転送インターバルと呼ばれる転送サイクル）は、最近のリセットサイクルから蓄積された電荷を非光電性読出サイトの中に移す。蓄積される電荷の量はリセット及び転送サイクル間の時間長に比例するので、これら 2 つの（時間）差は電氣的シャッタ機構を構成する。

最後のステップ（読出サイクル）は、電荷をカメラヘッドユニットへ移すか出力するために使用され、カメラヘッドユニットは電荷をカメラ制御ユニット（CCU）に適用するためのイメージ信号を形成するためのタイミング情報と組み合わせる。（垂直転送クロックシーケンスを必要とする）このステップは、ピクセルの全体のラインをピクセルの保護セルから読出レジスタの中に移すことを含む。いったんそこにあると、カメラヘッドユニット（CHU）の内部クロックレートにより要求されるレートの一連の水平転送クロックサイクルを使用して、ピクセルはシリアルにシフトアウトされる。ライン毎の水平クロックサイクル及びフレーム毎の垂直クロックサイクルの総数は、CCD 内部に含まれる行及び列の数により指示される。

図 1 a の CCD では、転送信号の適用がサイト 12 に蓄積された電荷の非光電性サイト 14 への転送を引き起こすように、転送サイクルは、従来の方法で光電性サイト 12（及び CCD 10 の他のエレメント）と結合するライン 26 上で開始される。読出信号の適用がサイト 14 に蓄積された電荷の読出レジスタ 16 への転送を引き起こすように、読出サイクルも同様にライン 28 によって開始され

る。図 1 b を参照すると、CCD 18 は同様にライン 30、32 が取り付けられており、ライン 30、32 は装置に対する転送及び読出サイクルを開始するため

(15)

の信号を搬送する。

CCD 10、18のリセットサイクルは、従来の方法で、他のライン上で、又は好ましくは、ライン26、30（図示されていない）上でも開始できる。従って、例えば、CCD 10は、そのようなラインに適用されたリセット信号が光電性素子12に蓄積された如何なる電荷もクリアされるように配列できる。

転送サイクルの開始が光電性サイトに蓄積された電荷の読出レジスタへの転送を直接招く従来技術のイメージ取得システムとは異なり、図示された実施例は、転送及び読出機能が独立して実行されることを可能にする。従って、転送及び読出信号は実質的に同じ時間に又はすばやく連続して（従って、従来技術のシステムをエミュレートして）送信されてもよいが、その必要はない。読出信号を遅らせることにより、図示された実施例は、蓄積された電荷（即ち、イメージ）が例えば、読出レジスタ18若しくは取得システム又はそのホストの他のメモリではなく、非光電性サイトの中に保持されることを可能にする。

図2は、ビデオカメラ、又は本発明による他のその様な単一のヘッドイメージ取得システム33を図示する。システムはカメラヘッドユニット（CHU）34、及び関連するカメラ制御ユニット（CCU）36を含む。システム33、及び、特にCCU 36は、システムバス38を経由して、ホストコンピュータ又は他の制御装置（図示されてない）と通信する。それを通してCCD上に光景が焦点を結ぶレンズは図示されていない。

カメラ制御ユニット36は、システムバス38によってホスト（例えば、ホストデジタルデータ処理システム）から受信した命令を処理することにより新しいイメージの要求に対してサービスを提供し、次に、図示されるようにShutter_L及びReadout_LパルスをCHU 34に送出する。Shutter_Lパルスは、カメラヘッドユニット（CHU）の集積時間の制御に使用される。Shutter_Lパルスは2つの部分を含み、第1の部分はCCD内の光電性サイトをクリア（又はリセット）して新しいイメージの取得を開始させることができ、イメージを表す電荷をこれらのサイト上にもたらす第2の部分は非光電性サイトに転送される。Readout_L信号は、読出サイクルを開始する。

(16)

例えば、図 1 A 又は図 1 B に示される型の CCD を含む CHU 3 4 は、「video」というラベルの付いたイメージ信号により示されるように、イメージを取得してそれを CCU 3 6 に転送するために、加えられた Shutter_L 及び Readout_L 信号に応答する。イメージ信号に加えて、CHU 3 4 はクロック信号 PCLK を返し、PCLK はビデオ信号、及び有効なイメージデータを含むビデオ信号部分を識別するデータ有効信号 Data Valid_L のタイミングを示す。

カメラヘッドユニット (CHU) 3 4 の詳細なブロック図が、図 3 に示される。そこに示されるように、デコーダ 4 0 は Shutter_L 及び Readout_L 信号をカメラヘッドユニット 3 4 の内部クロックと同期させ、イメージを作り出してカメラ制御ユニット (CCU) 3 6 に転送するために必要な各 CCD クロックサイクルを開始するために CCD タイミングジェネレータ 4 2 にパルスを発生するために使用される。

更に詳細には、加えられた Shutter_L 信号に応答して、デコーダ 4 0 は Reset パルスを発生し、Reset 信号の適用を経由して、新しい集積サイクルの準備のために CCD タイミングジェネレータ 4 2 に CCD の光電性領域をクリアするように指示する。Shutter_L 信号のパルス幅により、デコーダ 4 0 は次に転送パルスを発生し、即ち、CCD への転送信号の適用により CCD タイミングジェネレータ 4 2 に集積サイクルが終了し、センサの光電性領域に現在存在する電荷が非光電性読出サイト内部に移される必要があることを知らせる。更に、Readout_L 信号に応答して、デコーダ 4 0 は、カメラ制御ユニット (CCU) 3 6 がイメージを受信する準備が出来ており、CCD センサの内容を読み取るのに必要な垂直及び水平転送サイクルを実行しなければならないことを示す Read 信号をタイミングジェネレータ 4 2 に加える。

上記のように、前記に応答して、カメラヘッドユニット (CHU) 3 4 は、ビデオ信号 (Video)、ピクセルクロック (PCLK)、及びデータ有効信号 (Data Valid_L) によって CCD 取得イメージを CCU 3 6 に転送する。

図 4 は、図 2 ～図 3 に示される型の単一のヘッドイメージ取得システム、及び以下に記載される型の複数のヘッドシステムをサポートするために使用できるカ

(17)

メラ制御ユニット (CCU) 36を図示する。図では、取得タイミングジェネレータ44が、システムバスを経由してホストコンピュータ (図示されていない) から受信した命令を処理する。単一のカメラ制御ユニット (CCU) 36は好ましくは複数のカメラヘッドユニット (CHU) を有する構成をサポートするので、1組のシャッタ (ClShutter_L...CnShutter_L) 及び読出 (ClReadout_L...CnReadout_L) 制御は、潜在的に取り付けられた各CHUに対して得られる。同様に、取得タイミングジェネレータ44は取り付けられた各CHUからピクセルクロック (ClPCLK...CnPCLK)、データ有効信号 (ClData Valid_L...CnData Valid_L)、及びビデオ波形 (ClVideo...CnVideo) を受信する。

図に示されるように、CCU36は、ビデオマルチプレクサ (Mux) 46及びプログラム可能なゲイン調節 (GainAdjust) 48から成るビデオ前処理回路を含む。好ましい実施例では、ゲインはフルスケールディジタイザ (A/D) 入力対CHU34からのフルスケールビデオ出力の比率によって設定される。プログラム可能なゲイン調節48はまた、集積時間 (即ち、CnShutter_Lパルスの時間幅) の延長が選択肢にない低光量状況で、ビデオ信号の増幅度を増加させるためにしよう出来る。当業者は、もちろん、当該技術の従来の方法でゲインが設定され利用できることを理解するであろう。

レベル補正 (直流再生及びオフセット調節) 50が、ビデオ信号からの残留オフセットを除去するために提供される。好ましい実施例では、レベル補正は、当該技術の従来の方法で設定できるが、校正又は他のトレーニングパラメータにより決定された値に設定される。

取得タイミングジェネレータ44は、ビデオ信号の直流再生の実行を担当する。取得タイミングジェネレータ44は、黒レベルが存在すべきことを予め定められたビデオ信号のポイントで、図示するように、Clamp信号をアサートにすることにより、ビデオ信号の直流再生を達成する。好ましい実施例では、予め定められた点は、CHU34の信号特性により設定される。

取得タイミングジェネレータ44はまた、A/Dコンバータ52に対するクロック (AD-CLK) の発生も担当し、A/Dコンバータ52は、最大限の精度を補償するのに最適なポイントでビデオ信号を標本化する。好ましい実施例では、最

(18)

適なポイントは、CHU 4 2 の信号特性により設定される。

図示されたカメラ制御ユニット 3 6 は 1 つのビデオ経路しか含まないので、ビデオマルチプレタサ (Mux) 4 6 は、適当なビデオ信号 (C0Video...CnVideo) を選択するために使用される。図示されるように、これは、取得タイミングジェネレータ 4 4 から出るカメラヘッドユニット選択信号 (CHU SEL) により制御される。CHU SEL 信号はまた、ピクセルクロック及びデータ有効信号 (C0PCLK...CnPCLK, C0Data Valid-L...CnData Valid_L) の適当な組を選択するために使用される。

ImageData (N-1:0) 信号により表される、A/D コンバータ 5 2 から出るデジタル化されたイメージデータは、取得タイミングジェネレータ 4 4 の制御の下でシステムバスを経由してホストコンピュータに転送される。

図 5 は、単一のカメラヘッドユニット 3 4 だけを含む、図 2 ～図 4 に示される実施例のイメージ取得のためのタイミングシーケンスを図示する。ホストコンピュータ (図示されない) は最初に、取得の型 (即ち、単一の CHU) に対する C CU の取得タイミングジェネレータ 4 4 を初期化する (集積時間)。ホストコンピュータはまた、CHU SEL 信号を適当な値 (例えば、CHU 0 に対して 0、CHU 1 に対して 1、等) に設定することにより、カメラヘッドユニット (CHU) を選択する。

取得タイミングジェネレータ 4 4 がホストコンピュータから集積命令の開始を受信するとき、取得タイミングジェネレータ 4 4 は直ちに、選択されたカメラヘッドユニット (CHU) に対するシャッタ信号 (この場合は C0Shutter_L) をアサートにする。C0Shutter_L パルスのハイからローへの変化 (即ち、立ち下がりエッジ) は、次に Reset 信号をアサートするカメラヘッドユニット 3 4 (図 3 参照) 内部に位置するデコーダにより検出される。Reset 信号を検出するとすぐ、CCD タイミングジェネレータ 4 2 は、CCD センサの光電性領域内に残留する如何なる電荷もクリアするのに必要な CCD センサクロックシーケンスを実行する。

集積時間は、C0Shutter_L のローからハイへの変化 (立ち上がりエッジ) により終了される。このエッジがデコーダ 4 0 に検出されるとき、デコーダ 4 0 に転

(19)

送パルスを送出させ、次に転送パルスは、CCDタイミングジェネレータ42に、光電性収集井戸内に現在存在する全ての電荷が対応する非光電性（即ち、保護された）読出サイトに転送される必要があることを知らせる。

一度、電荷転送サイクルが完了すると、イメージはカメラ制御ユニット（CCU）36に送信される準備が出来る。ホストコンピュータが取得タイミングジェネレータ44にイメージを受信する用意が出来たことを知らせるまで、これ以上の動作は起きない。ホストコンピュータから読出命令を受信するとすぐ、取得タイミングジェネレータ44は読出信号（この例では、C0Readout_L）をアサートする。この信号のハイからローへの変化（即ち、立ち下がりエッジ）は、カメラヘッドユニット（CHU）34内部のデコーダ40回路にReadストロブを送出させる。このパルスは、CCDタイミングジェネレータ42に、読出セル内に存在するイメージを、それがデジタル化されシステムバス38を経由してホストコンピュータに伝達される、カメラ制御ユニット（CCU）36へ完全に転送するのに必要な垂直及び水平クロックサイクルのシーケンスを開始させる。

データ有効信号（この例では、C0Data Valid_L）はカメラヘッドユニット（CHU）34により送出され、ビデオ信号の有効部分と無効部分を識別するために、カメラ制御ユニット36により使用される。ピクセルクロック（C0PCLK、この例では図示されない）は、ビデオ信号（C0Video、この例では図示されない）が、デジタル化プロセスの精度を最大限にするのに最適なポイントで標本化されることを保証する。

図6は、複数のカメラヘッドユニットCHU0, CHU1, ..., CHUn、及び関連するカメラ制御ユニット（CCU）36から成る本発明によるイメージ取得システム54を示す。CHU0, CHU1, ..., CHUnは上記のCHU34と同様に構成され、作動する。たとえ複数のCHUを制御するために意図した方法でも、CCU36は上記のように作動する、

上記のように、CCU36は、システムバス38を経由してホストから受信する要求に応答するイメージを必要とする。前記の単一のカメラヘッドの実施例に対して記載された単純なイメージ取得シーケンスに加えて、図6の複数のカメラヘッドの実施例は、同期及び非同期シャッタをサポートする。

(20)

図7に図示される同期シャッタモードは、複数のカメラヘッドユニット（CHU）が、ホストコンピュータからの単一の書込サイクルに基づいて正確に同じ時間に集積サイクルを開始することを可能にする。このモードは、複数のカメラの動作を正確に制御するためにシステムが同じ物体の複数の表示を要求することを可能にし、結果的に時間内の単一の瞬間において同じ物体の表示であるイメージとなる。このモードの代わりの使用は並列な複数のカメラの操作を含むことが出来るので、各カメラは異なる物体のイメージを同時に収集することができ、潜在的に取得システムの効率を増加させる。

図7を参照すると、ホストコンピュータからの単一の書込サイクルから生じる複数のシャッタパルス（C0Shutter_L...CnShutter_L）は、システムバス38を経由してカメラ制御ユニット（CCU）36と通信する。シャッタパルスの幅、従って各カメラに対する集積時間は等しいか、又は各カメラヘッドユニットCHU0～CHUnに対する照明状態により長さが変化する。

シャッタ時間の終了に続いて、各CCDに記憶されたイメージデータが、カメラ制御ユニット（CCU）36の制御の下にシステムバス38を経由してホストコンピュータに転送される。更に詳細には、ホストは、次のイメージ取得解析のためにカメラ制御ユニット（CCU）36に読出パルス（C0Readout...CnReadout_L）をアサートするよう命令することにより、イメージを要求する。ホストが読出プロセスを開始するので、カメラヘッドユニットCHU0～CHUnから転送されるイメージの順序はホストの制御下にあり、特別な順序は必ずしも必要なく、次に対する1組の取得により固定される必要もない。

各読出パルス（C0Readout_L...CnReadout_L）は、対応するカメラヘッドユニットCHU0～CHUn内に配置されたCCDタイミングジェネレータ42に、カメラ制御ユニット36に対応するCCDの読出セルに存在するイメージを完全に転送するために必要な垂直及び水平クロックサイクルのシーケンスを開始させ、それはデジタル化され、システムバス38を経由してホストコンピュータに伝達される。データ有効信号（C0Data Valid_L...CnData Valid_L in this example）は、カメラヘッドユニットCHU0～CHUnにより送出され、各CHUから送信されたビデオ信号の有効部分と無効部分を識別するために、カメラ

(21)

制御ユニット36により使用される。各カメラヘッドユニットCHU0～CHUnにより発生されたピクセルクロックは、ビデオ信号が、ディジタル化プロセスの精度を最大限にするのに最適なポイントで標本化されることを保証する。正しいビデオ及びピクセルクロック信号は、カメラ制御ユニット（CCU、図4を参照）内部のCHUSEL（カメラヘッドユニットSElect）信号を経由して選択される。

図8を参照すると、複数のカメラヘッドユニットCHU0～CHUnを含む非同期シャッタ動作が示される。このモードは、単一のカメラ制御ユニット36が2つ又はそれ以上のカメラヘッドユニットを完全に独立した方法で制御することを可能にする。最終的な効果は、isthat各カメラヘッドユニットCHU0～CHUnが、まるで専用のカメラ制御ユニット（CCU）36に取り付けられているように動作することである。

図では、ホストが、システムバス38を経由してカメラ制御ユニット（CCU）36に適当な命令を書き込むことにより、各カメラヘッドユニット（CHU）に対する集積及び読出サイクルを開始する。CCU36は、次に、必要なシャッタ（C0Shutter_L...CnShutter_L）及び読出（C0Readout_L...CnReadout_L）パルスを送出する。図8に示すように、CHUは自律的に作動するので、1つのCHUに対するシャッタ動作は、他のCHUのシャッタ又は読出動作と部分的に重なってもよい。

同期シャッタモードと同様に、ホストコンピュータは、カメラ制御ユニット（CCU）36を経由する、各カメラヘッドユニットCHU0～CHUnに対するシャッタ及び読出サイクルのシーケンスにわたる制御を完了する。従って、ホストは、特定のカメラヘッドユニットCHU0～CHUnから取得されたイメージの順序及び頻度を決定する。

このために、各読出パルス（C0Readout_L...CnReadout_L）は、対応するカメラヘッドユニット（CHU）内に配置されたCCDタイミングジェネレータに、読出セル内に存在するイメージを、それがディジタル化されシステムバスを経由してホストコンピュータに伝達される、カメラ制御ユニット（CCU）36へ完全に転送するのに必要な垂直及び水平クロックサイクルのシーケンスを開始

(22)

させる。データ有効信号 (C0Data Valid_L...CnData Valid_Linthisexample) は、カメラヘッドユニット (CHU) により送出され、各CHUから送信されたビデオ信号の有効部分と無効部分を識別するために、カメラ制御ユニット36により使用される。ピクセルクロックは、各CHUからのビデオ信号が、ディジタル化プロセスの精度を最大限にするのに最適なポイントで標本化されることを保証する。正しいビデオ及びピクセルクロック信号は、カメラ制御ユニット (CCU、図4を参照) 内部のCHUSEL (カメラヘッドユニットSElect) 信号を経由して選択される。

上記は、所望する条件を満たすイメージ取得のためのシステムがである。当業者は、もちろん、図示された実施例が本発明の単なる例示であり、変更を取り入れた実施例が本発明の範囲内にあることを理解するであろう。従って、例えば、図1A～図1Bに示されるCCDの構成が、本発明で利用できる構成の単なる例示であることは理解されるであろう。他の実施例により、図示された実施例で発生されて使用される特定の信号が、本発明によるシステムの動作で利用できる単なる例示であることが理解されるであろう。

(23)

付 録

/

(24)

APPENDIX

to

Patent Application for

METHODS AND APPARATUS FOR CHARGE COUPLED DEVICE IMAGE
ACQUISITION WITH INDEPENDENT INTEGRATION AND READOUT

(25)

Cognex Digital Camera (CDC)**Design Specification****1. Mission Statement**

This document contains the framework for a proposed camera architecture with advanced features required by the machine vision industry. The Cognex Digital Camera, henceforth referred to as the CDC, is intended to provide both OEMs and End-User's with the most cost effective high performance video acquisition sub-system currently available. Our goals are to establish new standards for flexibility, speed, and image fidelity.

The contents of the specification are proprietary and should not be discussed or disclosed to others outside of the immediate working groups. The disposition of efforts between Cognex and the candidate vendor of the camera head assembly is as follows:

- Architecture..... Cognex, Vendor
- Interface Specification..... Cognex, Vendor
- Camera Head Specification..... Cognex, Vendor
- Camera Acquire & Control Electronics Specification.... Cognex
- Camera Head Design..... Vendor
- Camera Acquire & Control Electronics Design... Cognex
- Camera Head Production.. Vendor
- Camera Acquire & Control Electronics Production..... Cognex

(26)

Cognex Digital Camera (CDC) Design Specification

2. Architecture

This section contains a description of the proposed architecture for the camera head and controller board.

2.1 Sequential Acquire Model

Figure 1 shows the concept for a system in which a single Camera Acquire and Control Electronics would support sequential acquires from a maximum of four cameras. Alternatively, all four cameras could integrate images simultaneously and then place them in their interline vertical transfer registers where they would be held until readout was initiated.

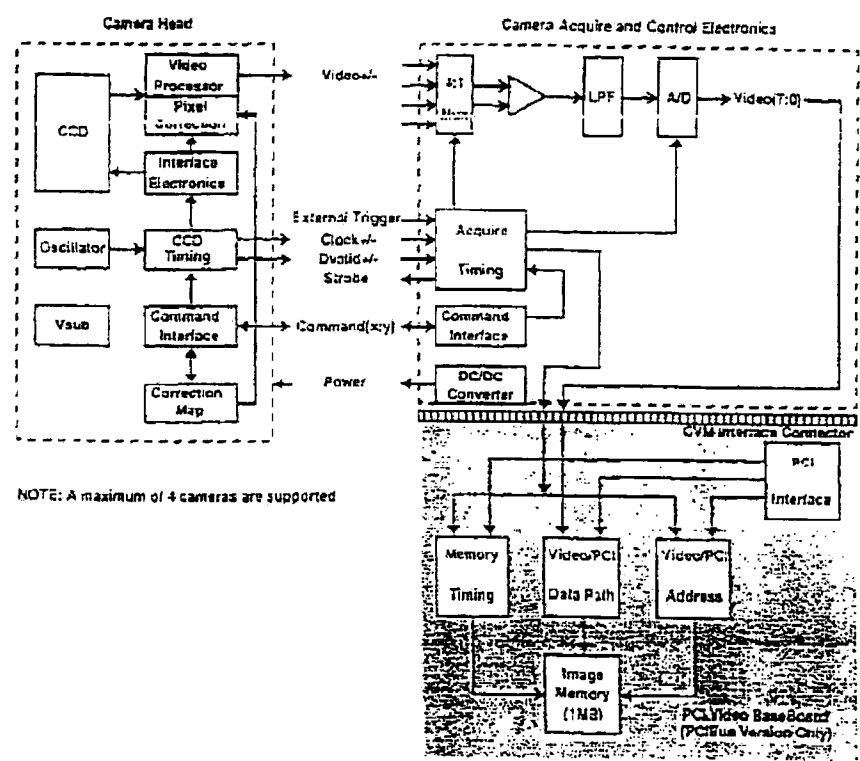


Figure 1: CDC Block Diagram (PCIBus Version)

The video, clock, and camera timing signals are transmitted differentially to ensure maximum signal integrity in noisy environments. CCD level correction is performed within the Camera Head coefficients downloaded from via the Command Interface after an initial cal-

(27)

Cognex Digital Camera (CDC)**Design Specification**

ibration process has been executed at the factory. Alternatively, the calibration could be executed in the target system facilitating correction for overall system factors such as illumination flatness. The Acquire Timing logic located on the Camera Acquire and Control Electronics is responsible for processing external trigger events and supporting strobe firing.

2.1.1 Functional Description - Camera Head

The Camera Head contains eight functional elements. It should contain a single high density connector and will receive 'clean' regulated power from the Camera Acquire and Control Electronics. The substrate bias voltage (V_{sub}) should be generated locally. A separate connector for power is acceptable if required to meet performance. The functional elements of the camera head include:

1. **CCD** The core of the camera head is the solid state image sensor. The initial CDC will use a 'medium format' array. The minimum sensor requirements are:
 - Interline technology
 - Square pixels ($dx=dy$)
 - Support for electronic shutter
 - Minimum horizontal clock rate of 25MHz (target frame rate is 60 frames/second)
 - Support sub-image readout (must be able to discard vertical lines with at least 2x normal readout rate)
 - Multiple resolutions
 - medium (640 pixels x 480 lines)
 - high (1024 pixels by 1024 lines)
 - Single chip color versions also desirable
2. **Vsub** CCD substrate bias voltage generator.
3. **Command Interface** Interprets commands issued by the Camera Acquire and Control module and instructs the CCD or Correction Map to perform specific functions. The minimum command set includes:
 - `Activate(c)` is used to select Camera Head c ($c = 0, 1, 2, \text{ or } 3$) for operations which require the camera to transmit either Clock and Dvalid signals (e.g. `Transfer(y)` and `Calibrate(i)`) or command data (e.g. `CorrectionRead(i)`) to the Camera Acquire and Control Electronics.
 - `Integrate(t)` causes the CCD to be reset, integrated for $t(\mu s)$, then transferred to the interline vertical holding registers. It controls the electronic shutter function. Multiple cameras may be process the `Integrate(t)` command simultaneously.
 - `Transfer(y)` initiates a readout of the sensor. The first y lines are discarded and not transferred to the Camera Acquire and

(28)

Cognex Digital Camera (CDC)Design Specification

Control Electronics. This command allows the CDC to perform Region-Of-Interest (ROI) readout.

- Calibrate() initiates a readout of the sensor but bypasses the Pixel Correction phase. This mode is required to pass the uncorrected data on to the Camera Acquire and Control Electronics where the actual correction values can be determined via special calibration software.
- CorrectionAddr(addr) is a pointer to the next address of the Correction Map to be accessed. It is stored locally in the Command Interface upon receipt of this command.
- CorrectionRead() initiates memory read cycle of the Correction Map at the current address. Data is serialized in the Command Interface and transferred back to the Camera Acquire and Control Electronics. The Correction Map address is post incremented (addr++) after the data is read out.
- CorrectionWrite(data) initiates a write to the Correction Map at the current address. The Command Interface performs serial to parallel conversion of the data and executes a memory write cycle. The Correction Map address is post incremented (addr++) after the data is written.

4. CCD Timing The timing generator is responsible for producing all of the signals required to execute the integration and readout phases of the CCD sensor. The timing generator is also responsible for controlling the correlated double sampling (CDS) sequence within the Video Processor as well as matching the CCD output pixel with the correct gain and level correction factors from the Correction Map.

The timing generator also sends the control signals associated with the image transfer process in RS-422 (differential TTL) format to the Camera Acquire and Control Electronics. The signals include:

- Clock+, Clock- (pixel clock)
- Dvalid+, Dvalid- (Data Valid indicator)

5. Video Processor Implements correlated double sampling (CDS) noise reduction techniques and provides some minimum signal gain. The resulting video output is differential in order to support cable lengths of up to 5 meters.

6. Pixel Correction Uses calibration values obtained from the Correction Map to adjust the gain and level of each pixel. This is intended to minimize the fixed pattern noise which results from imbalance in the charge creation process from one collection sight to another, differences in the charge transfer efficiency, and other error sources which could result in uneven grey values for a image generated by exposing the sensor to a uniformly illuminated flat field target. The algorithm is fairly simple, consisting of gain and level correction.

(29)

Cognex Digital Camera (CDC)**Design Specification**

$$\text{Video}(x,y) = G(x,y) \text{ Pixel}(x,y) + O(x,y)$$

Where:

Pixel(x,y) is the post CDS pixel voltage

G(x,y) is the gain correction factor

O(x,y) is the offset correction factor

Video(x,y) is the corrected video voltage

The resolution of G(x,y) and O(x,y) are TBD.

- | | |
|--------------------------|---|
| 7. Interface Electronics | Conditions the digital representation of the CCD sensor timing signals to meet the voltage levels required for proper sensor operation. |
| 8. Oscillator | Provides a stable crystal timing reference for all camera operations and data transfer operations between the Camera Head and the Camera Acquire and Control Electronics. |

2.1.2 Functional Description - Camera Acquire and Control Electronics

The Camera Acquire and Control Electronics contains 6 functional elements. The module contains a high density connector for communications and supplies 'clean' regulated voltages to the Camera Head. The module is based upon Cognex's proprietary Vision Module (CVM) concept and can be utilized with the 5900 Video Processor as well as all members of the 8000 family. All signals required to support the CVM electrical interface pass through the CVM Interface Connector. The functional elements of the Camera Acquire and Control Electronics include:

- | | |
|--------------------------|---|
| 1. Camera Multiplexer | 4:1 differential input multiplexer. It allows a single Camera Acquire and Control module to support a maximum of four Camera Heads units. |
| 2. Amp & Low Pass Filter | This video pre-processing is necessary to adjust the video signal to that required by the A/D converter for maximum performance while the low-pass-filter is used to perform classical Nyquist bandwidth limiting to eliminate aliasing. |
| 3. A/D Converter | Flash type device which supports conversion rates up to 30MHz and is TTL compatible. |
| 4. Acquire Timing | Controls the digitization process and generates all the video timing required by the CVM interface based upon the sense of the Clock and Dvalid signals. Each acquire is 'armed' via the Command Interface so the Acquire Timing knows which camera is active and when a new acquire is commencing. |
| 5. Command Interface | Translates standard CPU type bus structures (e.g. 68060, C80, local PCIBus) into serial command streams for processing by the installed Camera Head assemblies. |
| 6. DC/DC | Used to generate Camera Head supply voltage(s) from local bus |

(30)

Cognex Digital Camera (CDC)**Design Specification**

Converter references; either +5VDC or +12VDC. The voltage will be the largest required for camera sensor operation and could be further regulated using LDO linear regulators in the Camera Head to reduce noise picked up via the cable.

2.1.3 Camera Cable

It is desirable to support a minimum cable length of 5 meters (approximately 15 feet). This is why the design uses the following formats for transmission of analog video, pixel clock and data validation controls, and command signals. Each set of differential signals will use twisted-pair copper as the transmission medium.

1. Analog Video D.C. coupled differential signal with a peak-to-peak level of TBD volts. There are four sets of video signals, each dedicated to a particular Camera Head assembly.

For Video+:

$$V_{\text{black}} = 0.0 \text{ V}$$

$$V_{\text{white}} = \text{TBD V}$$

For Video-:

$$V_{\text{black}} = \text{TBD V}$$

$$V_{\text{white}} = 0.0 \text{ V}$$

2. Pixel Clock and Valid Electrical interface is high performance RS-422 (differential TTL) using transmitters and receivers manufactured by Lucent Technology (formerly AT&T). These parts use pseudo-ECL signal levels for the differential signals and support frequencies up to 100MHz. These signals are tri-stated until a camera is selected (via the Command Interface) allowing them to be bussed between installed Camera Head assemblies and the Camera Acquire and Control Electronics.
3. Command Interface Electrical interface is high performance RS-422 (differential TTL) using transmitters and receivers manufactured by Lucent Technology (formerly AT&T). These parts use pseudo-ECL signal levels for the differential signals and support frequencies up to 100MHz. The data portion of this interface is tri-stated until a camera is selected (via the Command Interface) allowing them to be bussed between installed Camera Head assemblies and the Camera Acquire and Control Electronics.

2.1.4 CVM Interface

This specification allows Cognex to design video option modules around a standard physical and electrical interface. This allows modules to be shared among multiple vision platforms.

(31)

Cognex Digital Camera (CDC)***Design Specification***

2.2 Physical Dimensions - Camera Head

The goal is to keep the dimensions of the CDC as small as possible. The following dimensions and weight should be used only as guidelines. Cognex is willing to adjust the packaging parameters in the event it yields significant cost savings. Conversely, we do not want to incur additional costs just to reduce the Camera Head assembly to an absolute minimum.

1. Dimensions 22W x 22H x 50D
2. Weight 100g

2.3 Power Dissipation - Camera Head

The maximum power dissipation inside the Camera Head assembly is approximately 2.0W.

(32)

【図 1】

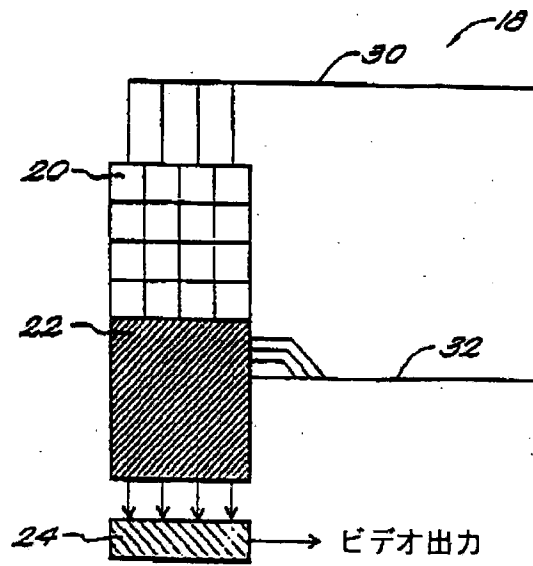


FIG. 1B

【図 1 A】

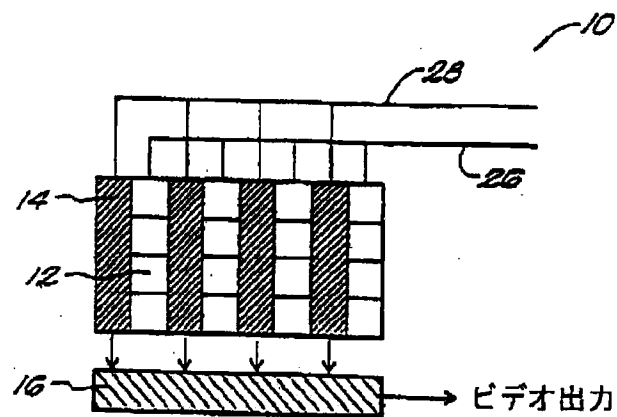


FIG. 1A

(33)

【図 2】

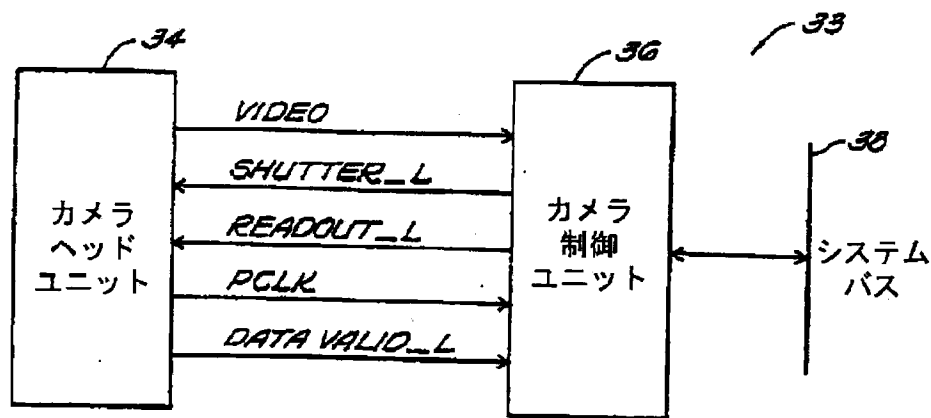


FIG. 2

【図 3】

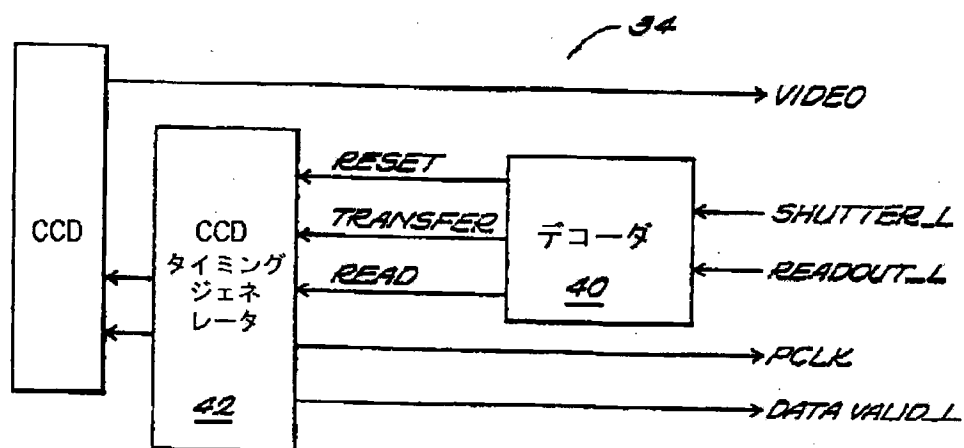


FIG. 3

(34)

【図4】

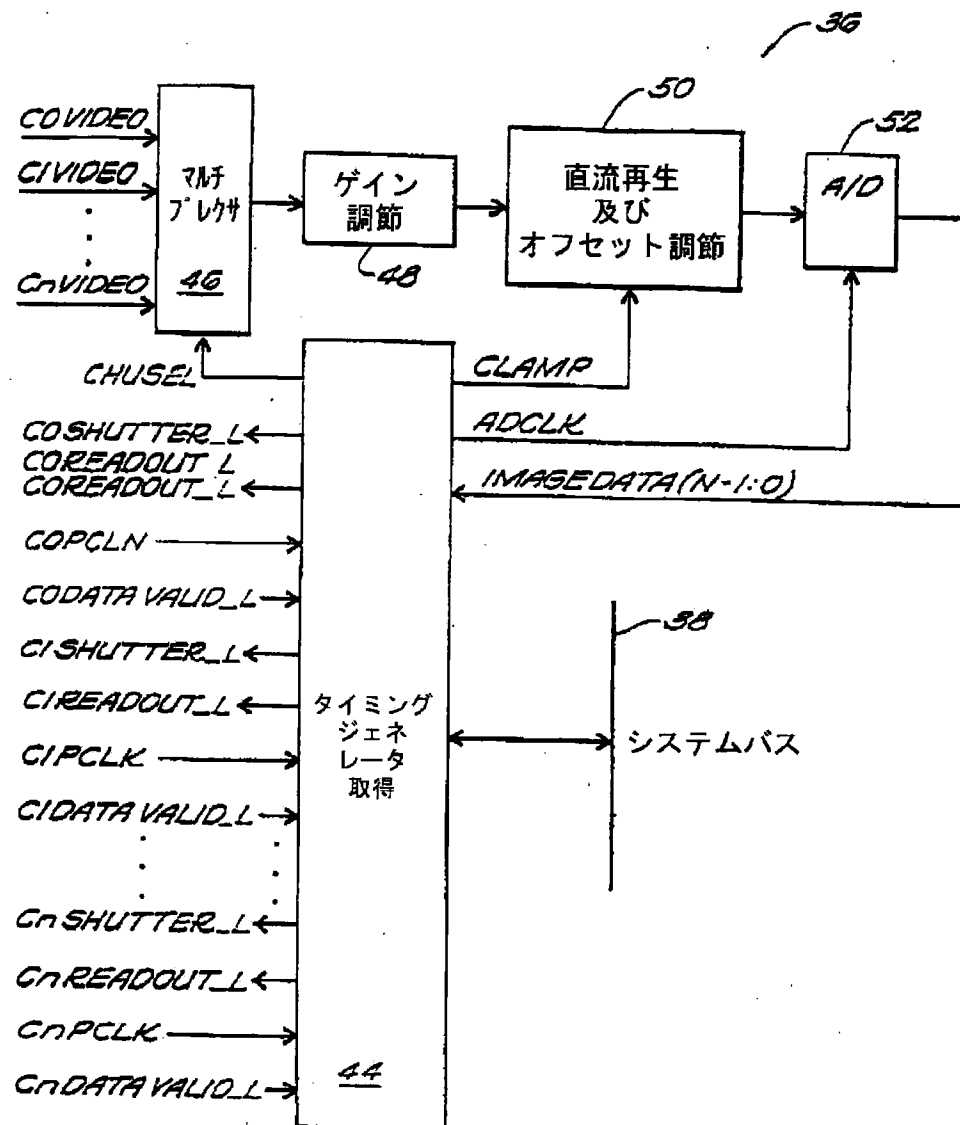


FIG. 4

(35)

【図 5】

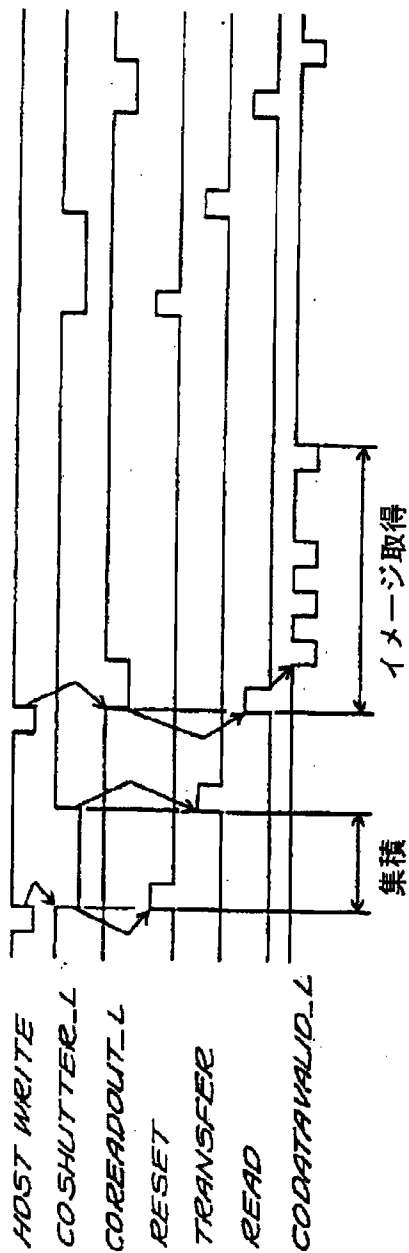


FIG. 5

(36)

【図6】

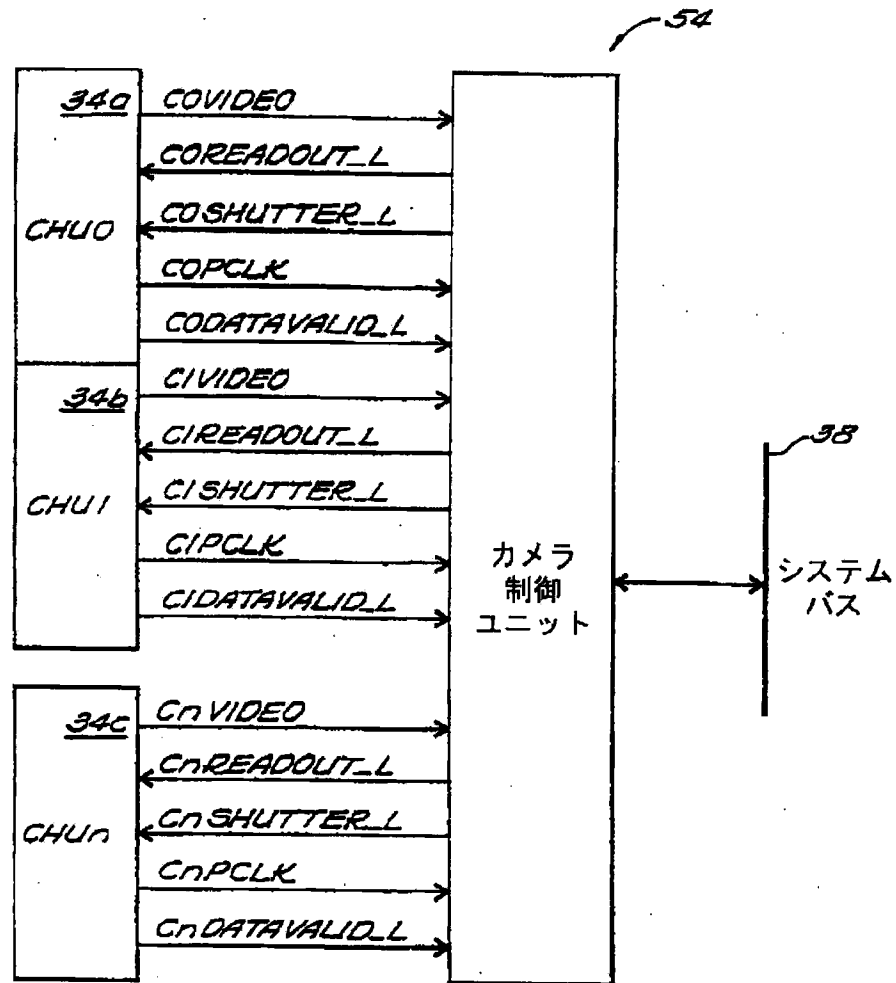


FIG. 6

(37)

【図 7】

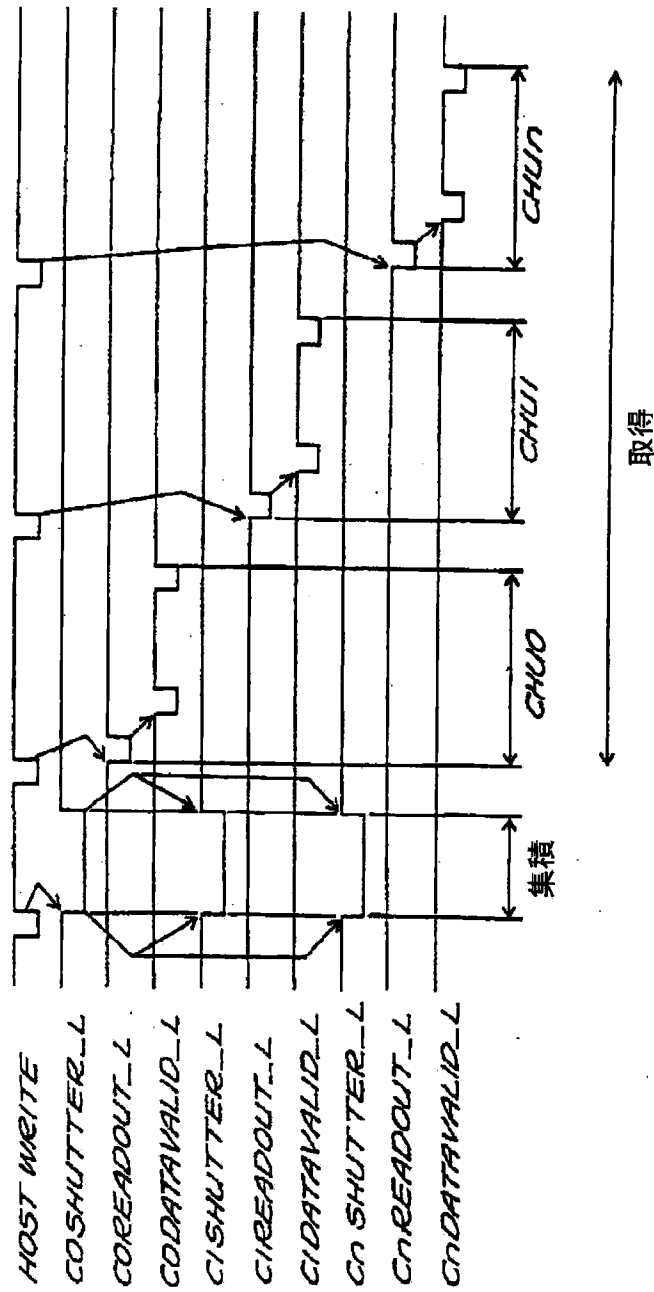


FIG. 7

(38)

【図 8】

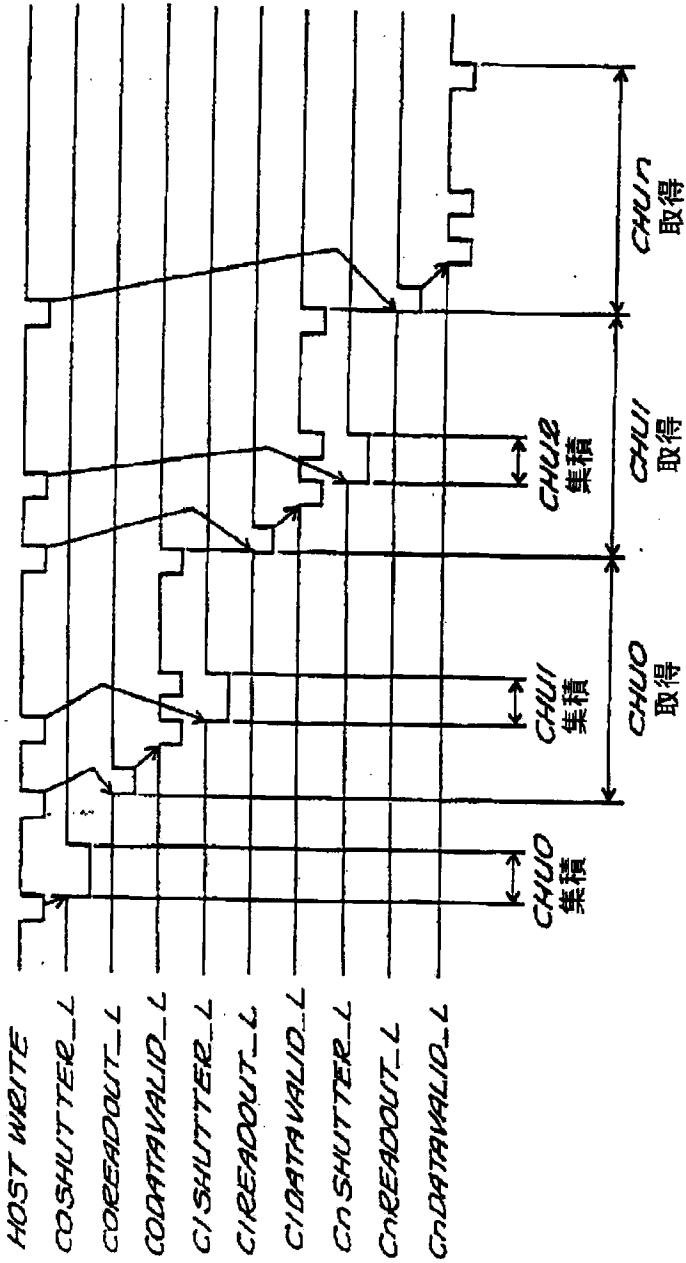


FIG. 8

(39)

【国際調査報告】

INTERNATIONAL SEARCH REPORT

In International Application No. PCT/US 98/13082		
A. CLASSIFICATION OF SUBJECT MATTER IPC 6 H04N5/232 H04N5/335		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) IPC 6 H04N		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practical, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	
	Relevant to claim No.	
X	EP 0 777 381 A (CANON KK) 4 June 1997 see column 3, line 7 - line 15 see column 5, line 14 - line 37 see column 7, line 43 - line 54 see column 12, line 37 - line 48	1-6, 9, 20, 22, 23
Y		11, 15, 28, 29
X	US 5 506 617 A (PARULSKI KENNETH ET AL) 9 April 1996 see column 4, line 31 - line 42 see column 8, line 13 - line 31; figure 8A	1, 20
Y		11
<input checked="" type="checkbox"/> Further documents are listed in the continuation of box C. <input checked="" type="checkbox"/> Patent family members are listed in annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier document but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "Z" document member of the same patent family		
Date of the actual completion of the international search	Date of mailing of the international search report	
8 September 1998	16/09/1998	
Name and mailing address of the ISA European Patent Office, P.O. 5918 Patentlaan 2 NL - 2580 HV Rijswijk Tel. (+31-70) 340-2040; Tx 31 851 epo nl, Fax: (+31-70) 340-3016	Authorized officer Bequet, T	

(40)

INTERNATIONAL SEARCH REPORT

 Inventor's Application No.
 PCT/US 98/13082

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT

Category	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 4 809 077 A (NORITA TOSHIO ET AL) 28 February 1989 see column 1, line 58 - column 2, line 16 see column 2, line 43 - line 51	1,20
Y	RACCA R G ET AL: "HIGH-SPEED VIDEO ANALYSIS SYSTEM USING MULTIPLE SHUTTERED CHARGE-COUPLED DEVICE IMAGERS AND DIGITAL STORAGE" OPTICAL ENGINEERING, vol. 31, no. 6, 1 June 1992, pages 1369-1374, XP000278272 see page 1370, right-hand column, line 19 - line 33	11,15, 28,29
A		17,18
A	US 5 608 490 A (OGAWA HIDEHIRO) 4 March 1997 see column 2, line 42 - line 58	1,20

(41)

INTERNATIONAL SEARCH REPORT

information on patent family members

 International Application No
 PCT/US 98/13082

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
EP 0777381 A	04-06-1997	JP 9161048 A	20-06-1997
		JP 9163237 A	20-06-1997
		JP 9163238 A	20-06-1997
US 5506617 A	09-04-1996	NONE	
US 4809077 A	28-02-1989	JP 2623530 B	25-06-1997
		JP 62249118 A	30-10-1987
		US 4989094 A	29-01-1991
US 5608490 A	04-03-1997	JP 8006099 A	12-01-1996

(42)

フロントページの続き

(81)指定国 EP(AT, BE, CH, CY,
DE, DK, ES, FI, FR, GB, GR, IE, I
T, LU, MC, NL, PT, SE), JP